



(19)

(11) Publication number:

07307575 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 06098765

(51) Intl. Cl.: H05K 3/46 H05K 1/16

(22) Application date: 12.05.94

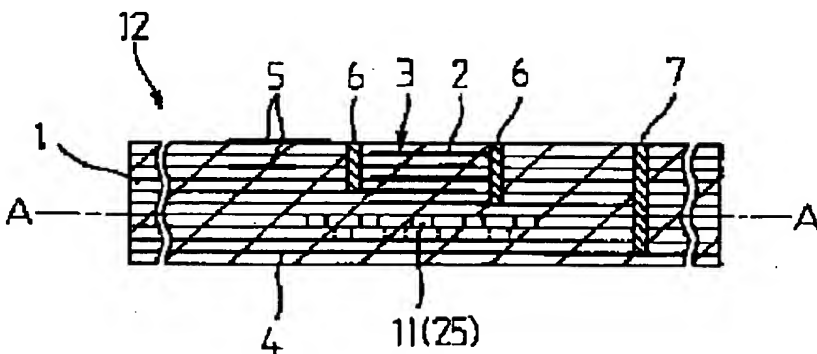
<p>(30) Priority:</p> <p>(43) Date of application publication: 21.11.95</p> <p>(84) Designated contracting states:</p>	<p>(71) Applicant: MURATA MFG CO LTD</p> <p>(72) Inventor: KATO AKIRA TAKAKURA TAKESHI FUJITA MAKOTO YASUKAWA KOJI FUNAHARA RIICHI</p> <p>(74) Representative:</p>
--	--

(54) MULTILAYERED CIRCUIT BOARD

(57) Abstract:

PURPOSE: To lessen a stray capacitance between a capacitor and a grounding electrode by a method wherein a dielectric body of low permittivity is interposed between the capacitor and the grounding electrode.

CONSTITUTION: Holes 11 are provided to a dielectric layer interposed between the lower part of a capacitor 3 and a grounding electrode 4 for the formation of a multilayered circuit board 12. As air of low permittivity is present between the electrode 2 of the capacitor 3 and the grounding electrode 4, an electrostatic capacity between the capacitor 3 and the grounding electrode 4 can be decreased. When holes 11 and 21 are exhausted or filled with dielectric body such as resin, glass or ceramic lower than a dielectric board 1 in permittivity, the same effect can be expected as above. As mentioned above, a stray capacity is decreased between a capacitor and a grounding electrode, so that an amplifier circuit out of high-frequency circuits mounted on a multilayered circuit board can be prevented from deteriorating in gain or oscillating, and an oscillator circuit out of them is capable of oscillating stably.



COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-307575

(43) 公開日 平成7年(1995)11月21日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/46		Q 6921-4E		
		T 6921-4E		
1/16		D 7726-4E		

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願平6-98765

(22) 出願日 平成6年(1994)5月12日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 加藤 章

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 高倉 健

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 藤田 真

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

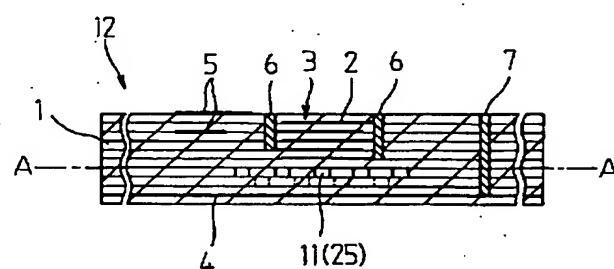
最終頁に続く

(54) 【発明の名称】 多層回路基板

(57) 【要約】

【目的】 浮遊容量を低減した多層回路基板を提供する。

【構成】 積層された誘電体基板 1 の内部に形成されたコンデンサ 3 と、前記誘電体基板 1 の内部又は表面又は裏面に形成された、接地電極 4 及び配線電極 5 とを有する多層回路基板 1 2 において、前記コンデンサ 3 と接地電極 4 又は配線電極 5 との間に、低誘電体部として空孔若しくは真空部分又は前記誘電体基板 1 より低誘電率の誘電体 2 5 が形成されたものである。



【特許請求の範囲】

【請求項1】 積層された誘電体基板の内部に形成されたコンデンサと、前記誘電体基板の内部又は表面又は裏面に形成された、接地電極及び配線電極とを有する多層回路基板において、前記コンデンサと接地電極又は配線電極との間に低誘電体部が形成されたことを特徴とする多層回路基板。

【請求項2】 前記低誘電体部が空孔により構成された請求項1に記載の多層回路基板。

【請求項3】 前記低誘電体部が前記空孔内を真空として構成された請求項2に記載の多層回路基板。

【請求項4】 前記低誘電体部が前記空孔内に前記誘電体基板より低誘電率の誘電体が充填されて構成されたことを特徴とする請求項2に記載の多層回路基板。

【請求項5】 積層された誘電体基板の内部に形成されたコンデンサと、前記誘電体基板の内部又は表面又は裏面に形成された、接地電極及び配線電極とを有する多層回路基板において、前記コンデンサと接地電極又は配線電極との間に凹部が設けられたことを特徴とする多層回路基板。

【請求項6】 前記凹部内に前記誘電体基板より低誘電率の誘電体が充填されたことを特徴とする請求項5に記載の多層回路基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高周波回路モジュールに用いられる多層回路基板に関するものである。

【0002】

【従来の技術】従来の高周波回路を搭載する多層回路基板の断面図を図8に示す。図8において、1は樹脂やセラミック等が積層された誘電体基板であり、誘電体基板1の内部の層間に複数の電極2が対向して形成された複数のコンデンサ3が設けられ、誘電体基板1の下層部に接地電極4が形成され、誘電体基板1の表面及び内部に高周波回路を構成する電子部品（図示せず）の固定及び配線用の配線電極5が形成されている。また、コンデンサ3の両端は第一のビアホール6で誘電体基板1の表面に引き出され、接地電極4の一部も第二のビアホール7により誘電体基板1の表面に引き出されて、多層回路基板8が構成されている。

【0003】このように構成された多層回路基板8に搭載される高周波回路としては、例えば、図9に示すような、2つのトランジスタQ1、Q2と、トランジスタQ1、Q2に接続される抵抗R1～R7、バイパスコンデンサC1、C3、C5、カップリングコンデンサC2、C4、C6及びトランジスタQ2のコレクタに接続される同調コンデンサC7と共振コイルL1の同調回路で構成された、エミッタ接地型増幅回路9や、図10に示すような、トランジスタQ3とトランジスタQ3に接続される抵抗R8～R11、カップリングコンデンサC8、

C11、帰還用コンデンサC9、バイパスコンデンサC10及びトランジスタQ3のベースに接続される水晶発振器Xとで構成されたコレクタ接地コルピッツ型発振回路10があり、多層回路基板8の表面に各種の電子部品を搭載して高周波モジュールとして構成される。なお、コンデンサC1～C11は、多層回路基板8に内蔵されたコンデンサ3により構成される。

【0004】

【発明が解決しようとする課題】上記従来の多層回路基板8においては、基板に誘電体を使用しているため、コンデンサ3の両端のビアホール6と、接地電極4又は接地電極4と接続したビアホール7又は配線電極5との間に浮遊容量が発生する。この浮遊容量が増幅回路9のカップリングコンデンサC2、C4、C6に発生すると、回路の利得が低下する。また、同調コンデンサC7に発生すると、同調コンデンサC7と共振コイルL1の同調回路による共振周波数が変化して回路の利得が大幅に低下するとともに、次段との整合状態が変化して増幅回路9が発振する場合がある。

【0005】さらに、浮遊容量が発振回路10のカップリングコンデンサC8及び帰還用コンデンサC9に発生すると、帰還量に変化して発振が励起しないという問題があった。本発明は、このような問題を解消するためになされたものであり、コンデンサと接地電極又は配線電極間に低誘電体部を形成し、コンデンサと接地電極又は配線電極間の浮遊容量を低減した多層回路基板を提供することを目的とするものである。

【0006】

【課題を解決するための手段】上記の目的を達成するために、本発明においては、積層された誘電体基板の内部に形成されたコンデンサと、前記誘電体基板の内部又は表面又は裏面に形成された、接地電極及び配線電極とを有する多層回路基板において、前記コンデンサと接地電極又は配線電極との間に低誘電体部が形成されたことを特徴とするものである。

【0007】また、前記低誘電体部が空孔により構成されたものである。また、前記低誘電体部が前記空孔内を真空として構成されたものである。また、前記低誘電体部が前記空孔内に前記誘電体基板より低誘電率の誘電体が充填されて構成されたものである。

【0008】また、積層された誘電体基板の内部に形成されたコンデンサと、前記誘電体基板の内部又は表面又は裏面に形成された、接地電極及び配線電極とを有する多層回路基板において、前記コンデンサと接地電極又は配線電極との間に凹部が設けられたことを特徴とするものである。また、前記凹部内に前記誘電体基板より低誘電率の誘電体が充填されたことを特徴とするものである。

【0009】

【作用】上記の構成によれば、コンデンサと接地電極又

は配線電極間に、空孔若しくは真空部分が介在するか又は主要部を成す誘電体基板より低誘電率の誘電体が介在するため、コンデンサと接地電極又は配線電極との間の静電容量が低下し浮遊容量が減少する。

【0010】

【実施例】以下、本発明による多層回路基板の実施例を図面を用いて説明する。なお、従来例と同一若しくは相当する部分には、同一符号を付しその説明を省略する。

【0011】本発明は、積層された誘電体基板に内蔵されたコンデンサと接地電極又は配線電極との間に、低誘電体部として空孔若しくは真空部分又は主要部を成す前記誘電体基板より低誘電率の誘電体を形成したことを特徴とするものである。

【0012】図1乃至図3に本発明の第一及び第二の実施例による多層回路基板の断面図を示す。図1及び図2において、コンデンサ3の下部と接地電極4との間の誘電体層に複数の空孔11を設け、多層回路基板12を構成している。また、図3に示すように、接地電極4を誘電体基板1の上層部に形成したもので、コンデンサ3の上部と接地電極4との間の誘電体層に複数の空孔21を設け、多層回路基板22を構成している。

【0013】このように構成した多層回路基板12、22は、コンデンサ3の電極2又はビアホール6と接地電極4との間に、誘電率の低い空気が介在するため、この間の静電容量が低下し浮遊容量を低減することができる。

【0014】また、空孔11、21内を真空としたもの、若しくは、空孔11、21内に、例えば、樹脂やガラスやセラミックからなる誘電体基板1より低誘電率の誘電体25を充填したものでも同一の効果をすることができる。なお、空孔11、21は、図1乃至図3に示した独立したものに限らず、連続したものであってもよい。

【0015】次に、図4乃至図7に本発明の第三乃至第五の実施例による多層回路基板の断面図を示す。図4及び図5において、コンデンサ3のビアホール6と、接地電極4と接続するビアホール7との間に、ビアホール6、7と平行し一端が誘電体基板1の表面に開口した凹部31を並設して、多層回路基板32を構成したものである。また、図6に示すように、凹部31を並設したものを複数列形成し、多層回路基板35を構成したものである。

【0016】このように構成した多層回路基板32、35は、コンデンサ3のビアホール6とビアホール7との間の静電容量が低下し浮遊容量を低減することができる。また、凹部31の内部に誘電体25を充填することでも同一の効果をすることができる。

【0017】また、図7に示すように、コンデンサ3のビアホール6とビアホール7との間に空孔36を設けた、多層回路基板37においても、コンデンサ3のビア

ホール6とビアホール7との間の静電容量が低下し浮遊容量を低減することができる。なお、空孔36は凹部31と同様に並設することができ、また、並設したものを複数列形成することができる。さらに、空孔36内を真空としたものや空孔36内に誘電体25を充填したものでも同一の効果をすることができる。

【0018】なお、図4乃至図7に示した、多層回路基板32、35、37は、コンデンサ3の一方の側面側に低誘電体部を形成したものであるが、他の三方の側面側にも同様に低誘電体部を形成して浮遊容量を低下させることができる。以上に説明したものは、主にコンデンサ3と接地電極4との間に低誘電体部を形成して浮遊容量を低下させたものであるが、コンデンサ3と配線電極5間にも同様に低誘電体部を形成して、その間の浮遊容量を低下させることができる。

【0019】

【発明の効果】以上説明したように、本発明にかかる多層回路基板によれば、コンデンサと接地電極又は配線電極との間に低誘電体部が介在して、この間の静電容量が低下し浮遊容量が減少するため、多層回路基板に搭載される高周波回路のうち、増幅回路では利得の低下や発振が防止でき、また、発振回路では安定した発振動作を得ることができる。

【図面の簡単な説明】

【図1】本発明の第一の実施例による多層回路基板の断面図である。

【図2】図1のA-A線断面図である。

【図3】本発明の第二の実施例による多層回路基板の断面図である。

【図4】本発明の第三の実施例による多層回路基板の断面図である。

【図5】図4のB-B線断面図である。

【図6】本発明の第四の実施例による多層回路基板の断面図である。

【図7】本発明の第五の実施例による多層回路基板の断面図である。

【図8】従来の多層回路基板の断面図である。

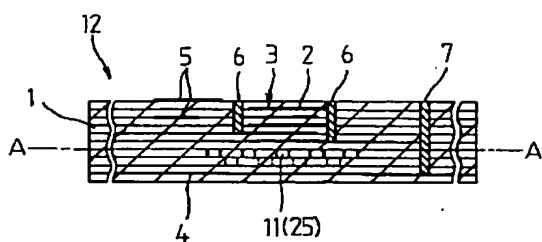
【図9】エミッタ接地型増幅回路である。

【図10】コレクタ接地コルピッツ型発振回路である。

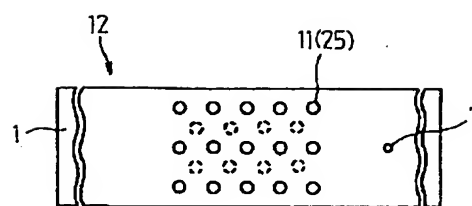
【符号の説明】

1	誘電体基板
3	コンデンサ
4	接地電極
5	配線電極
6, 7	ビアホール
11, 21, 36	空孔
12, 22, 32	多層回路基板
35, 37	多層回路基板
25	誘電体
31	凹部

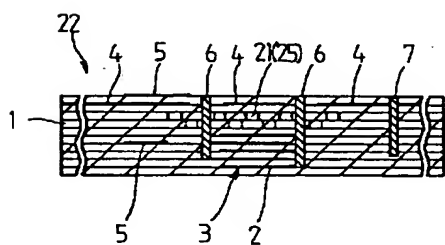
【図1】



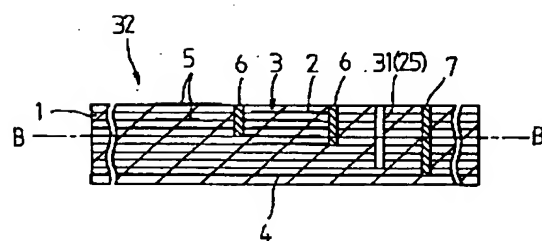
【図2】



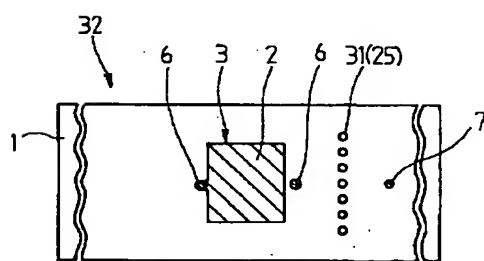
【図3】



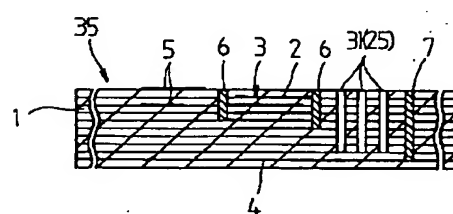
【図4】



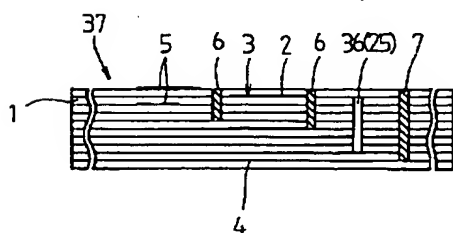
【図5】



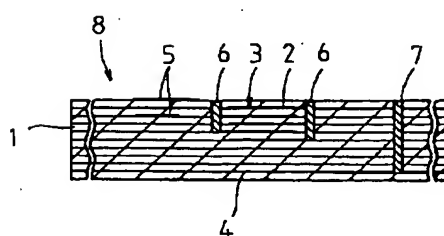
【図6】



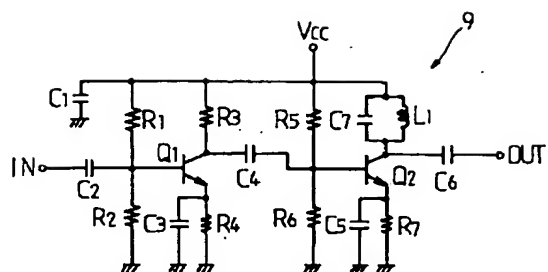
【図7】



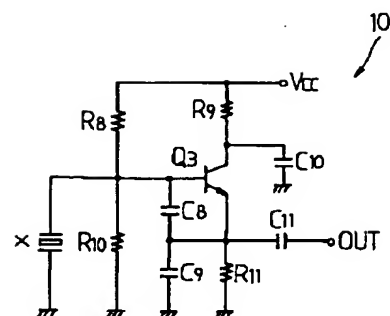
【図8】



【図9】



【図10】



フロントページの続き

(72) 発明者 安川 功司
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 船原 利一
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内